

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 20 日  
Application Date

申請案號：092101164  
Application No.

申請人：曾俊元、李顯億  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 9 月 16 日  
Issue Date

發文字號：09220932120  
Serial No.

# 發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：\_\_\_\_\_ ※IPC 分類：\_\_\_\_\_

※ 申請日期：\_\_\_\_\_

## 壹、發明名稱

(中文) \_\_\_\_\_ 一種鐵電層電極結構及其製造方法

(英文) \_\_\_\_\_ Ferroelectric memory structures and their fabrications

## 貳、發明人 (共 2 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) \_\_\_\_\_ 曾俊元

(英文) \_\_\_\_\_

住居所地址：(中文) \_\_\_\_\_ 新竹市建中一路 31 號 14 樓之三

(英文) \_\_\_\_\_

國籍：(中文) \_\_\_\_\_ 中華民國 (英文) \_\_\_\_\_ R.O.C.

## 參、申請人 (共 2 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) \_\_\_\_\_ 曾俊元

(英文) \_\_\_\_\_

住居所或營業所地址：(中文) \_\_\_\_\_ 新竹市建中一路 31 號 14 樓之三

\_\_\_\_\_

(英文) \_\_\_\_\_

國籍：(中文) \_\_\_\_\_ 中華民國 (英文) \_\_\_\_\_ R.O.C.

代表人：(中文) \_\_\_\_\_ 曾俊元

(英文) \_\_\_\_\_

☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 李顯億

(英文)

住居所地址：(中文) 台南縣新營市民治路 143 號

(英文)

國籍：(中文) 中華民國 (英文) R.O.C.

說明書申請人續頁

申請人 2

姓名或名稱：(中文) 李顯億

(英文)

住居所或營業所地址：(中文) 台南縣新營市民治路 143 號

(英文)

國籍：(中文) 中華民國 (英文) R.O.C

代表人：(中文) 李顯億

(英文)

## 肆、中文發明摘要

本案係指一種鐵電層電極結構及製造方法，其製造方法係包含下列步驟：(a)提供一基板；(b)形成一絕緣層於該基板上；(c)形成複數個氧化物電極於該絕緣層之上；(d)形成一鐵電層於該絕緣層及該複數個氧化物電極之上；以及(e)相對於該複數個氧化物電極形成複數個金屬電極於該鐵電層之上。

## 伍、英文發明摘要

The present invention relates generally to ferroelectric memory structures and their fabrications, and more particularly to an improved data retention time of Pt /  $\text{Bi}_{3.35}\text{La}_{0.85}\text{Ti}_3\text{O}_{12}$ (BLT) /  $\text{LaNiO}_3$ (LNO) /  $\text{Ba}_{0.7}\text{Sr}_{0.3}\text{TiO}_3$ (BST) / Si metal-ferroelectric-metal-insulator-semiconductor (MFMS) structures for ferroelectric-memory field effect transistor applications. The BLT films were deposited on LNO / BST / Si using the metalorganic decomposition and annealed by rapid thermal annealing process at low temperature 600°C for 3 min. By the utilization of high dielectric constant 5 mol% MgO doped BST insulator layer, LNO bottom electrode layer for BLT, and small area ratio  $A_F / A_I = 1/12$  in the MFMS structure, large Pr / Ps ratio in BLT film and low leakage current and good capacitance matching of the ferroelectric and the insulator have been achieved and hence long data retention time  $>10^6$  sec has been obtained in the present invention.

陸、(一)、本案指定代表圖為：第一圖(1)

(二)、本代表圖之元件代表符號簡單說明：

矽基板 1

絕緣膜 2

複數個氧化物電極 4

鐵電薄膜 5

複數個鉑金屬電極 7

第一電極面積 8

第二電極面積 9

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：\_\_\_\_\_

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

4. \_\_\_\_\_

5. \_\_\_\_\_

6. \_\_\_\_\_

7. \_\_\_\_\_

8. \_\_\_\_\_

9. \_\_\_\_\_  
10. \_\_\_\_\_

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. \_\_\_\_\_  
2. \_\_\_\_\_  
3. \_\_\_\_\_

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. \_\_\_\_\_  
2. \_\_\_\_\_  
3. \_\_\_\_\_

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. \_\_\_\_\_  
2. \_\_\_\_\_  
3. \_\_\_\_\_

☐ 熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明

（發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明）

### 發明所屬之技術領域

本案係指一種鐵電層／電極／絕緣層／矽（MFMIS）結構及其製造方法，尤指一種增加記憶保留時間（Retention Time）的鐵電層／電極／絕緣層／矽結構及其製造方法。

### 先前技術

近年來，鐵電記憶場效電晶體（FeMFET）倍受矚目的原因是可應用作為非揮發性隨機存取記憶體（NVFeRAMs），因為其具有非破壞性讀取及提高

元件集積化的功能。寬的記憶窗及快速的讀寫速度已有研究者在文獻或專利中報導，目前在這兩方面均可達成，然而根據 Ishiwara 等人在 IEEE. Trans. on Electron Devices 48, P.2002, (2001) 及 United States Patent 6,449,185, 6,285,577 專利報導，目前最好的鐵電記憶場效電晶體記憶保持時間均低於 105 秒有的甚至只有短短的數秒，而且鐵電薄膜結晶溫度要大於 6000C 以上。若要實際應用在工業生產上，則必須克服過低記憶保持時間及降低結晶溫度的缺點。

要能實際有效提高記憶保持時間，根據理論模擬，在低電壓操作下則要

- (1)提高殘留極化量與飽和極化量 ( $P_r/P_s$ ) 之比值；
- (2)降低絕緣層之漏電流密度；以及
- (3)降低 MFMIS 結構中鐵電薄膜與絕緣膜之面積比，以達成較佳的 MFM 和 MIS 的電容匹配。

根據上述原因，本發明之目的在於利用高熱穩定性、低漏電流密度及高介電常數之摻雜氧化鎂的鈦酸鋇鉬 ( $MgO$  doped BST) 薄膜當作絕緣層，鎳酸鋁 (LNO) 當作氧化物金屬電極，鈦酸鋇鉬作為鐵電材料，不但有效提高記憶保持時間大於 106 秒以上 ( $A_F/A_I = 1/12$  及  $1/16$ )，在 LNO 底電極上成長鐵電薄膜亦可降低鈦酸鋇鉬鐵電薄膜之製程溫度至 6000C。以下為本案之簡要說明。

#### 發明內容

本案之主要目的，在於提供一種增加記憶保留時間 (Retention Time) 的鐵電層 / 電極 / 絕緣層

/ 矽結構及其製造方法，在此結構及製造方法中，由於低溫製程的鐵電薄膜具有較高的殘留極化和飽和極化 ( $P_r/P_s$ ) 比值、低漏電流密度及較佳的 MFM 和 MIS 的電容匹配，可有效提高 MFMIS 結構電容記憶保留時間大於  $10^6$  秒以上。

根據本案之構想，提供一種鐵電層電極結構，其包含：一基板；一絕緣層，其係形成於該基板之上；複數個氧化物電極，其係形成於該絕緣層之上；一鐵電層，其係形成於該絕緣層及該複數個氧化物電極之上；以及複數個金屬電極，其係相對於該複數個氧化物電極形成於該鐵電層之上。

根據上述構想，其中該基板可為一矽基板。

根據上述構想，其中該矽基板可為一 p-型矽基板。

根據上述構想，其中該矽基板更可為一 n-型矽基板。

根據上述構想，其中該絕緣層之材料可為鈦酸鋇鉬。

根據上述構想，其中該絕緣層中更摻有氧化鎂。

根據上述構想，其中該複數個氧化物電極之材料可為鎳酸鋇。

根據上述構想，其中該鐵電層之材料可為鈦酸鋇鉬。

根據上述構想，其中該金屬層之材料可為化學性質穩定的貴金屬，如：鉑 (Pt), 鈦 (Ru), 銱 (Ir); 及含鈣鈦礦結構之氧化物電極如：鎳酸鋇 (LNO), 鈦酸鋇 ( $SrRuO_3$ ), 鈦酸鉬 ( $BaRuO_3$ ), 鈦鉬銅氧

( $\text{YBa}_2\text{Cu}_3\text{O}_7$ )。

根據上述構想，其中該複數個金屬電極分別具有一第一電極面積，該複數個氧化物電極分別具有一第二電極面積，且該第一電極面積與該第二電極面積之比值小於  $1/12$ 。

根據本案之另一構想，提出一種鐵電層電極結構之製造方法，其包含下列步驟：(a)提供一基板；(b)形成一絕緣層於該基板上；(c)形成複數個氧化物電極於該絕緣層之上；(d)形成一鐵電層於該絕緣層及該複數個氧化物電極之上；以及(e)相對於該複數個氧化物電極形成複數個金屬電極於該鐵電層之上。

根據上述構想，其中該基板可為一矽基板。

根據上述構想，其中該矽基板可為一 p-型矽基板。

根據上述構想，其中該矽基板更可為一 n-型矽基板。

根據上述構想，其中該步驟(a)中更包含另一步驟：將該基板依序以 RCA 清潔法及氮化法作前置處理。

根據上述構想，其中該絕緣層可由一物理氣相沉積法所形成。

根據上述構想，其中該絕緣層可由一化學氣相沉積法所形成。

根據上述構想，其中該絕緣層可由一金屬有機物沉積法所形成。

根據上述構想，其中該物理氣相沉積法之靶材可為一鈦酸鋇鋇鍍靶。

根據上述構想，其中該鈦酸鋇鋇鍍靶成份

為  $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$  ( $x=0\sim 1$ )。

根據上述構想，其中該鈦酸鋇鋇濺鍍靶係由碳酸鋇 ( $\text{BaCO}_3$ )、碳酸鋇 ( $\text{SrCO}_3$ )、二氧化鈦 ( $\text{TiO}_2$ ) 調配而成。

根據上述構想，其中該鈦酸鋇鋇濺鍍靶更摻有氧化鎂 ( $\text{MgO}$ )。

根據上述構想，其中該步驟 (c) 中更包含另一步驟：形成一氧化物層於該絕緣層上，再以一微影蝕刻製程使得該氧化物層形成該複數個氧化物電極。

根據上述構想，其中該氧化物層可由一物理氣相沉積法所形成。

根據上述構想，其中該氧化物層可由一化學氣相沉積法所形成。

根據上述構想，其中該氧化物層可由一金屬有機物沉積法所形成。

根據上述構想，其中該物理氣相沉積法之靶材可為一鎳酸鋇濺鍍靶。

根據上述構想，其中該鎳酸鋇濺鍍靶成份為  $\text{LaNiO}_3$ 。

根據上述構想，其中該鎳酸鋇濺鍍靶係由氧化鋇 ( $\text{La}_2\text{O}_3$ )、二氧化鎳 ( $\text{NiO}_2$ ) 調配而成。

根據上述構想，其中該鐵電層可由一物理氣相沉積法所形成。

根據上述構想，其中該鐵電層可由一化學氣相沉積法所形成。

根據上述構想，其中該鐵電層可由一金屬有機物沉積法所形成。

根據上述構想，其中該金屬有機物沉積法之

溶液可為一鈦酸鋇鈹溶液。

根據上述構想，其中該鈦酸鋇鈹溶液成份為  $\text{Bi}_x\text{La}_{4-x}\text{Ti}_3\text{O}_{12}$  ( $x=0\sim 4$ )。

根據上述構想，其中該鈦酸鋇鈹溶液係以醋酸作溶劑，以醋酸鋇、醋酸鈹及四異丙醇基鈹為溶質。

根據上述構想，其中該步驟(e)中更包含另一步驟：形成一金屬層於該鐵電層上，再以一光阻剝落法(lift-off)使得該金屬層形成該複數個金屬電極，其中該複數個金屬電極分別具有的一第一電極面積，與該複數個氧化物電極分別具有的一第二電極面積之比值小於  $1/12$ 。

根據上述構想，其中該金屬層之材料可為化學性質穩定的貴金屬，如：鉑(Pt)、鈦(Ru)、銱(Ir)；及含鈣鈦礦結構之氧化物電極如：鎳酸鋇(LNO)，鈦酸鋇( $\text{SrRuO}_3$ )，鈦酸鋇( $\text{BaRuO}_3$ )，鉕鉕銅氧( $\text{YBa}_2\text{Cu}_3\text{O}_7$ )。

本案得藉由下列圖式及實施例之說明，俾得一更深入之了解：

#### 圖示簡單說明

第一圖(a)~(f)：本案實施方式之鐵電層電極結構製造方法步驟示意圖。

第二圖：本案結構之極化量對外加電場之關係圖。

第三圖：本案結構之記憶窗對 AF / AI 面積比之關係圖。

第四圖：本案結構之漏電流密度對外加電壓之

關係圖。

第五圖：本案結構之電容對記憶保持時間之關係圖。

#### 圖示符號說明

矽基板 1	絕緣膜 2
氧化物薄膜 3	複數個氧化物電極 4
鐵電薄膜 5	鉑金屬層 6
複數個鉑金屬電極 7	
第一電極面積 8	第二電極面積 9

#### 實施方式

首先將一 p-型或一 n-型矽基板經由標準之 RCA 清潔法，將表面之有機物及雜質去除乾淨。再將該矽基板進行一氮化處理，也就是高溫下通入  $N_2O$  或  $NH_3$  氣體，利用爐管、PECVD 或 LPCVD 方式使之在該矽基板表面成長一層約  $20\sim100\text{\AA}$  之  $SiON$  犧牲層，再加以浸泡稀釋過之氫氟酸 (HF)，去除  $SiON$  之犧牲層。

接著將氮化處理過後之該矽基板放入射頻濺鍍腔中，並放入含有摻雜  $1\sim10\text{ mol}\%$  氧化鎂 ( $MgO$ ) 之鈦酸鋇鉬 ( $Ba_xSr_{1-x}TiO_3$ ,  $x=0\sim1$ ) 濺鍍靶，使得該矽基板上成長一層絕緣層。其中鈦酸鋇鉬 ( $Ba_xSr_{1-x}TiO_3$ ,  $x=0\sim1$ ) 濺鍍靶之製作條件為： $x$  莫耳之碳酸鉬 ( $BaCO_3$ )、 $(1-x)$  莫耳之碳酸鋇 ( $SrCO_3$ )、1 莫耳之二氧化鈦 ( $TiO_2$ ) 及  $1\sim10\text{ mol}\%$  氧化鎂 ( $MgO$ ) 粉末，加入無水酒精濕磨  $48\sim72$  小時，烘乾後經第一次研磨且過篩至 325 mesh，以昇溫速率  $10^\circ C/min$  初燒  $900^\circ C$  2 小時，再經第二次研磨及過篩之步驟，以昇溫速率  $5^\circ C/min$

最後燒結  $1350^{\circ}\text{C}$  4 小時。

將鍍有摻雜氧化鎂之厚度為  $10\sim 100\text{ nm}$  絕緣層 ( $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ ) 之該矽基板在  $600\sim 900^{\circ}\text{C}$  下經由快速紅外線退火熱處理  $1\sim 30$  分鐘，以得到高熱穩定度、低漏電流、高介電常數之絕緣膜 2 於該矽基板 1 上，如第一圖 (a) 所示。

接著將鍍有該絕緣膜 2 的該矽基板 1 放入射頻濺鍍腔中，並放入鎳酸鋁 (LNO) 濺鍍靶，以濺鍍條件為  $20\text{ mTorr}$  壓力下通入氫氣：氧氣 =  $1:1$  之混合氣體，且該矽基板溫度為  $300^{\circ}\text{C}$ ，輸出功率為  $100\text{ W}$  等條件下歷時  $30\sim 80$  分鐘完成濺鍍，以得到結晶性佳、低電阻率之氧化物薄膜 3 (厚度  $20\sim 100\text{ nm}$ ) 於該絕緣膜 2 上，如第一圖 (b) 所示。其中鎳酸鋁 (LNO) 濺鍍靶之製作條件為：2 莫耳之  $\text{La}_2\text{O}_3$ 、2 莫耳之  $\text{NiO}_2$  加入無水酒精濕磨  $24\sim 48$  小時，烘乾後經第一次研磨且過篩至  $325\text{ mesh}$ ，在純氧下以昇溫速率為  $10^{\circ}\text{C}/\text{min}$  初燒  $600^{\circ}\text{C}$  1 小時，再經由第二次研磨且過篩之步驟，最後燒結  $1000^{\circ}\text{C}$  3 小時。

隨後進行一微影蝕刻製程於該氧化物薄膜 3 上，使得該絕緣膜 2 形成複數個氧化物電極 4 (LNO)，如第一圖 (c) 所示。

接著以醋酸當溶劑，並以醋酸鋁、醋酸鈹及四異丙醇基鈦為溶質，摻入  $2\sim 10\text{ ml}$  的乙二醇 (目的為降低結晶溫度)，在  $90\sim 150^{\circ}\text{C}$  下旋轉  $120$  分鐘，以調配一  $0.2\text{ M}$  的鈦酸鋁鈹溶液 ( $\text{Bi}_x\text{La}_{4-x}\text{Ti}_3\text{O}_{12}$ ) (BLT)  $20$  毫升。

將配製好之鈦酸鋁鈹溶液 ( $\text{Bi}_x\text{La}_{4-x}\text{Ti}_3\text{O}_{12}$ ) 利用金屬有機物沉積法 (MOD)，在第一階段轉速

1000rpm, 30 秒及第二階段轉速 4000rpm, 30 秒, 經由軟烤  $150^{\circ}\text{C}$  10~30 分鐘及硬烤  $400^{\circ}\text{C}$  10~30 分鐘, 並將此步驟重複兩次, 以得到厚度為 180 nm 之鐵電層, 並將該鐵電層在  $600\sim 900^{\circ}\text{C}$  的溫度下經由快速紅外線退火熱處理 1~30 分鐘, 而形成一鐵電薄膜 5 於該複數個氧化物電極 4 (LNO) 上, 如第一圖 (d) 所示。

最後如第一圖 (e) 所示, 加鍍一鉑金屬層 6 於該鐵電薄膜 5 上, 再利用一光阻剝落法 (lift-off) 蝕刻該鉑金屬層 6, 以形成複數個鉑金屬電極 7, 如第一圖 (f) 所示, 即形成本案所述之鐵電層電極結構。惟上述所提供之結構製作方法僅為眾多製程之其中一種, 意即於形成各層材料層時並不限於 PVD、CVD 或 MOD 等方式, 對各層材料層實行熱處理退火法以得到各層薄膜及電極亦不限於使用紅外線、爐管、準分子雷射或濺鍍腔方式, 而是視實際需要及性能規格要求而定。

由上述實施方式所示, 並於第一圖 (f) 呈現之鐵電層電極結構中, 利用光阻剝落法 (lift-off) 形成該複數個鉑金屬電極 7 時, 可藉此調整該複數個鉑金屬電極分別具有的一第一電極面積  $8(A_F)$  與該複數個氧化物電極 4 (LNO) 分別具有的一第二電極面積  $9(A_I)$  之比值; 首先, 不但使得低溫製程下的鐵電薄膜 5 (BLT) 有較高的殘留極化和飽和極化 ( $P_r/P_s$ ) 比值 (請參閱第二圖, 由圖中可知  $A_F/A_I$  由  $1/2$  降至  $1/16$  時, 殘留極化量與飽和極化量 ( $P_r/P_s$ ) 之比值由 0.67 提高至 0.91)。再者, 對於以高熱穩定性及高介電常數之摻雜氧化鎂的鈦酸鋇鎂 ( $\text{MgO doped BST}$ ) 薄膜當作的絕緣膜 2

來說，更可使得記憶窗及漏電流密度隨著  $A_F/A_I$  的降低亦分別趨向令人滿意之結果（由第三圖及第四圖中可看出，隨著  $A_F/A_I$  的降低，結構特性亦趨向高記憶窗及低漏電流密度）。最重要的是，隨著  $A_F/A_I$  面積比的減少，更佳的 MFM 和 MIS 的電容匹配便隨之形成，從第五圖即可看出本案之結構在  $A_F/A_I$  小於  $1/12$  時可有效提高 MFMIS 結構電容記憶保留時間至大於  $10^6$  秒以上。

由以上之陳述，可知本案所述之鐵電記憶結構可改進習用結構短記憶保持時間的缺失，進而改良記憶保持時間在  $10^6$  秒以上，同時該特點亦可應用於非揮發性鐵電記憶場效電晶體。此外，本發明可降低元件製備溫度，減少界面反應可避免傷害元件之性能，降低製作成本。因此在鐵電記憶場效電晶體之製作技術範疇中實為一新穎進步及實用之發明，爰依法提出申請。

本案得由熟悉本技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。

## 拾、申請專利範圍

1. 一種鐵電層電極結構，其包含：
  - 一基板；
  - 一絕緣層，其係形成於該基板之上；
  - 複數個氧化物電極，其係形成於該絕緣層之上；
  - 一鐵電層，其係形成於該絕緣層及該複數個氧化物電極之上；以及
  - 複數個金屬電極，其係相對於該複數個氧化物電極形成於該鐵電層之上。
2. 如申請專利範圍第 1 項所述之結構，其中該基板可為一矽基板。
3. 如申請專利範圍第 2 項所述之結構，其中該矽基板可為一 p-型矽基板。
4. 如申請專利範圍第 2 項所述之結構，其中該矽基板更可為一 n-型矽基板。
5. 如申請專利範圍第 1 項所述之結構，其中該絕緣層之材料可為鈦酸鋇鋁。
6. 如申請專利範圍第 5 項所述之結構，其中該絕緣層中更摻有氧化鎂。
7. 如申請專利範圍第 1 項所述之結構，其中該複數個氧化物電極之材料可為鎳酸鋁。
8. 如申請專利範圍第 1 項所述之結構，其中該鐵電層之材料可為鈦酸鋁鈷。
9. 如申請專利範圍第 1 項所述之結構，其中該複數個金屬電極之材料可為化學性質穩定的貴金屬，如：鉑 (Pt)、鈦 (Ru)、銱 (Ir)；及含鈣鈦礦結構之氧化物電極如：鎳酸鋁 (LNO)、鈦酸鋇 (SrRuO<sub>3</sub>)、鈦酸鋁 (BaRuO<sub>3</sub>)、鈦鋁銅氧

(YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7</sub>)。

10. 如申請專利範圍第 1 項所述之結構，其中該複數個金屬電極分別具有一第一電極面積，該複數個氧化物電極分別具有一第二電極面積，且該第一電極面積與該第二電極面積之比值小於 1/12。

11. 一種鐵電層電極結構之製造方法，其包含下列步驟：

(a) 提供一基板；

(b) 形成一絕緣層於該基板上；

(c) 形成複數個氧化物電極於該絕緣層之上；

(d) 形成一鐵電層於該絕緣層及該複數個氧化物電極之上；以及

(e) 相對於該複數個氧化物電極形成複數個金屬電極於該鐵電層之上。

12. 如申請專利範圍第 11 項所述之製造方法，其中該基板可為一矽基板。

13. 如申請專利範圍第 12 項所述之製造方法，其中該矽基板可為一 p-型矽基板。

14. 如申請專利範圍第 12 項所述之製造方法，其中該矽基板更可為一 n-型矽基板。

15. 如申請專利範圍第 11 項所述之製造方法，其中該步驟 (a) 中更包含另一步驟：將該基板依序以 RCA 清潔法及氮化法作前置處理。

16. 如申請專利範圍第 11 項所述之製造方法，其中該絕緣層可由一物理氣相沉積法所形成。

17. 如申請專利範圍第 11 項所述之製造方法，其中該絕緣層可由一化學氣相沉積法所形成。

18. 如申請專利範圍第 11 項所述之製造方法，其

中該絕緣層可由一金屬有機物沉積法所形成。

19. 如申請專利範圍第 16 項所述之製造方法，其中該物理氣相沉積法之靶材可為一鈦酸鋇鋇濺鍍靶。

20. 如申請專利範圍第 19 項所述之製造方法，其中該鈦酸鋇鋇濺鍍靶成份為  $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$  ( $x=0\sim 1$ )。

21. 如申請專利範圍第 20 項所述之製造方法，其中該鈦酸鋇鋇濺鍍靶係由碳酸鋇 ( $\text{BaCO}_3$ )、碳酸鋇 ( $\text{SrCO}_3$ )、二氧化鈦 ( $\text{TiO}_2$ ) 調配而成。

22. 如申請專利範圍第 21 項所述之製造方法，其中該鈦酸鋇鋇濺鍍靶更摻有氧化鎂 ( $\text{MgO}$ )。

23. 如申請專利範圍第 11 項所述之製造方法，其中該步驟 (c) 中更包含另一步驟：形成一氧化物層於該絕緣層上，再以一微影蝕刻製程使得該氧化物層形成該複數個氧化物電極。

24. 如申請專利範圍第 11 項所述之製造方法，其中該氧化物層可由一物理氣相沉積法所形成。

25. 如申請專利範圍第 11 項所述之製造方法，其中該氧化物層可由一化學氣相沉積法所形成。

26. 如申請專利範圍第 11 項所述之製造方法，其中該氧化物層可由一金屬有機物沉積法所形成。

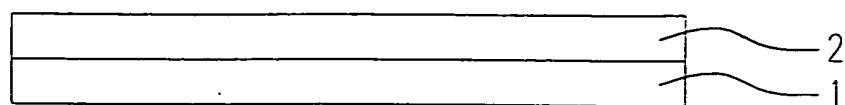
27. 如申請專利範圍第 24 項所述之製造方法，其中該物理氣相沉積法之靶材可為一鎳酸鋇濺鍍靶。

28. 如申請專利範圍第 27 項所述之製造方法，其中該鎳酸鋇濺鍍靶成份為  $\text{LaNiO}_3$ 。

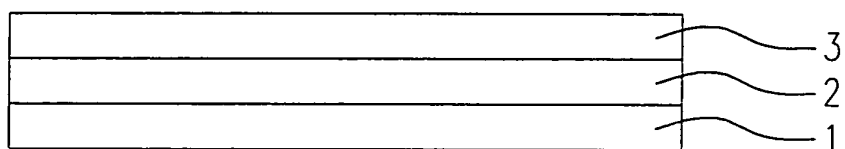
29. 如申請專利範圍第 28 項所述之製造方法，其中該鎳酸鋇濺鍍靶係由氧化鋇 ( $\text{La}_2\text{O}_3$ )、二氧化鎳 (

$\text{NiO}_2$ )調配而成。

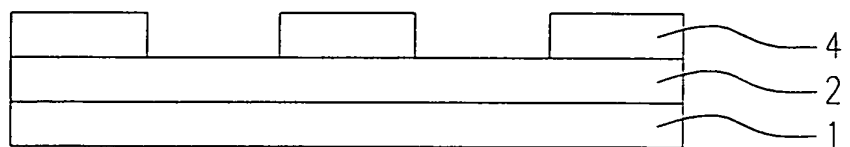
30. 如申請專利範圍第 11 項所述之製造方法，其中該鐵電層可由一物理氣相沉積法所形成。
31. 如申請專利範圍第 11 項所述之製造方法，其中該鐵電層可由一化學氣相沉積法所形成。
32. 如申請專利範圍第 11 項所述之製造方法，其中該鐵電層可由一金屬有機物沉積法所形成。
33. 如申請專利範圍第 32 項所述之製造方法，其中該金屬有機物沉積法之溶液可為一鈦酸釷鉍溶液。
34. 如申請專利範圍第 33 項所述之製造方法，其中該鈦酸釷鉍溶液成份為  
 $\text{Bi}_x\text{La}_{4-x}\text{Ti}_3\text{O}_{12}$  ( $x=0\sim 4$ )。
35. 如申請專利範圍第 34 項所述之製造方法，其中該鈦酸釷鉍溶液係以醋酸作溶劑，以醋酸釷、醋酸鉍及四異丙醇基鈦為溶質。
36. 如申請專利範圍第 11 項所述之製造方法，其中該步驟 (e) 中更包含另一步驟：形成一金屬層於該鐵電層上，再以一光阻剝落法 (lift-off) 使得該金屬層形成該複數個金屬電極，其中該複數個金屬電極分別具有的一第一電極面積，與該複數個氧化物電極分別具有的一第二電極面積之比值小於  $1/12$ 。
37. 如申請專利範圍第 36 項所述之製造方法，其中該金屬層之材料可為化學性質穩定的貴金屬，如：鉑 (Pt)、鈦 (Ru)、銥 (Ir)；及含鈣鈦礦結構之氧化物電極如：鎳酸釷 (LNO)、鈦酸鋇 ( $\text{SrRuO}_3$ )、鈦酸鋇 ( $\text{BaRuO}_3$ )、鉕鉕銅氧 ( $\text{YBa}_2\text{Cu}_3\text{O}_7$ )。



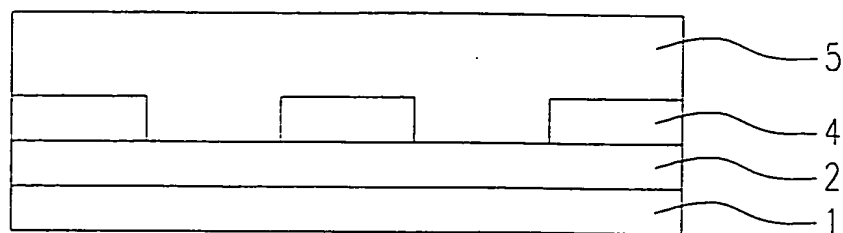
第一圖(a)



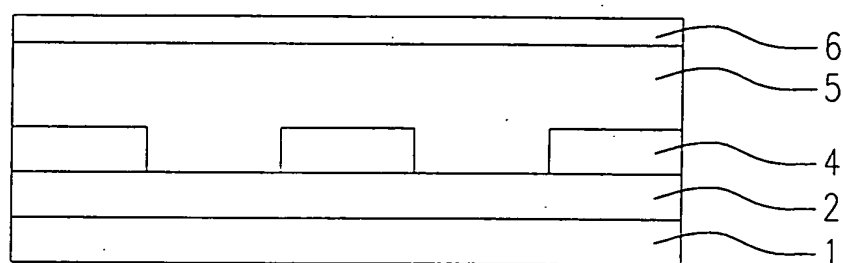
第一圖(b)



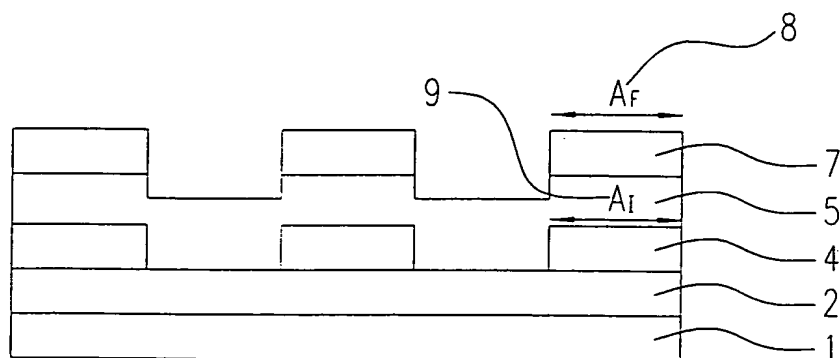
第一圖(c)



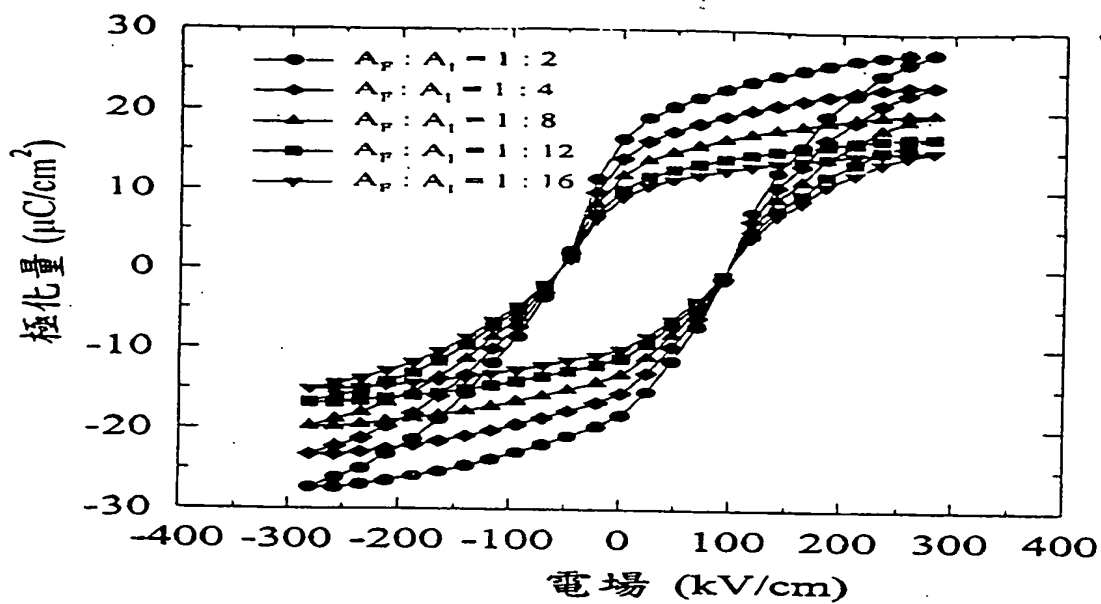
第一圖(d)



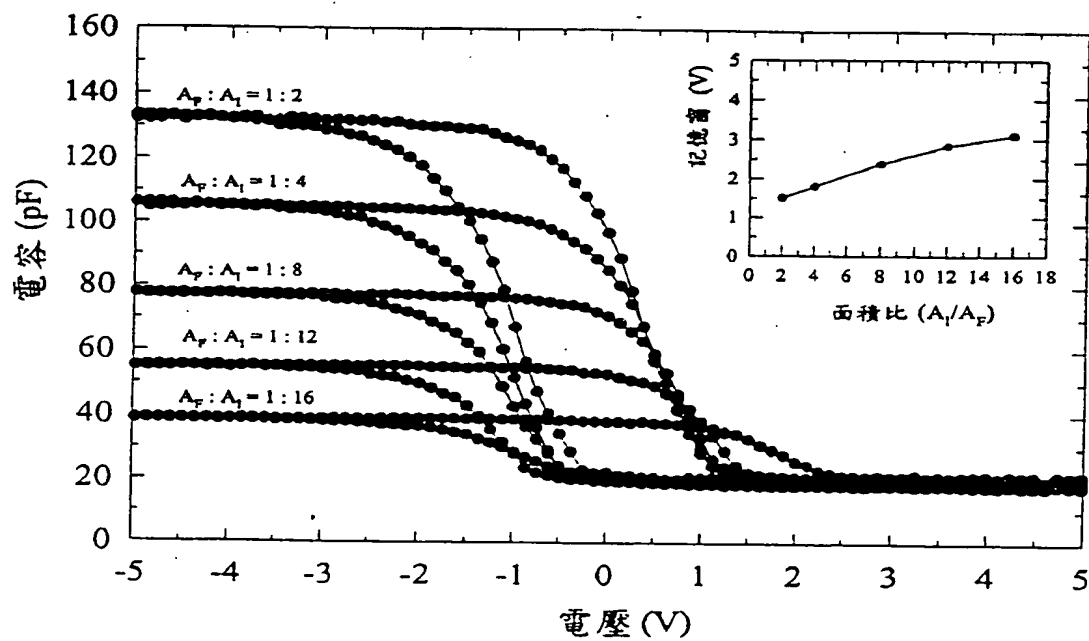
第一圖(e)



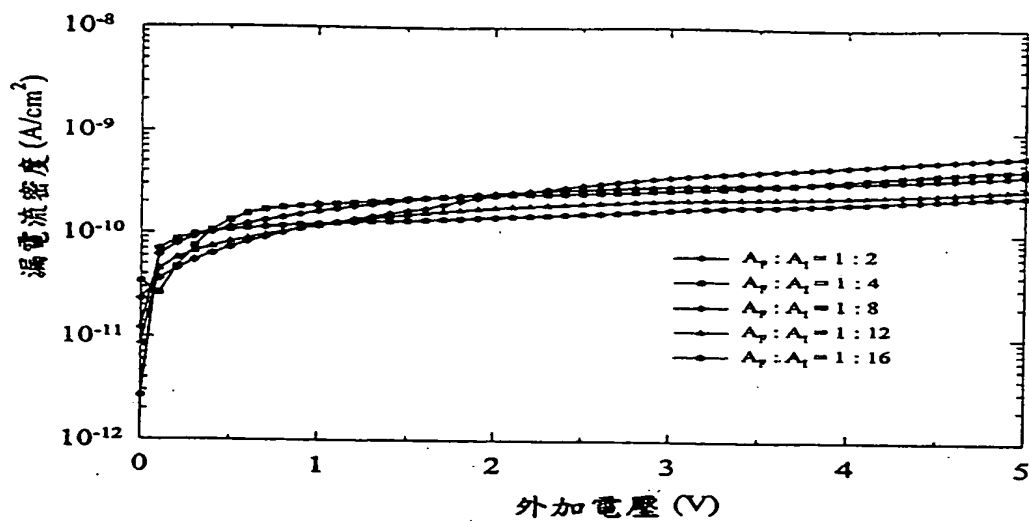
第一圖(f)



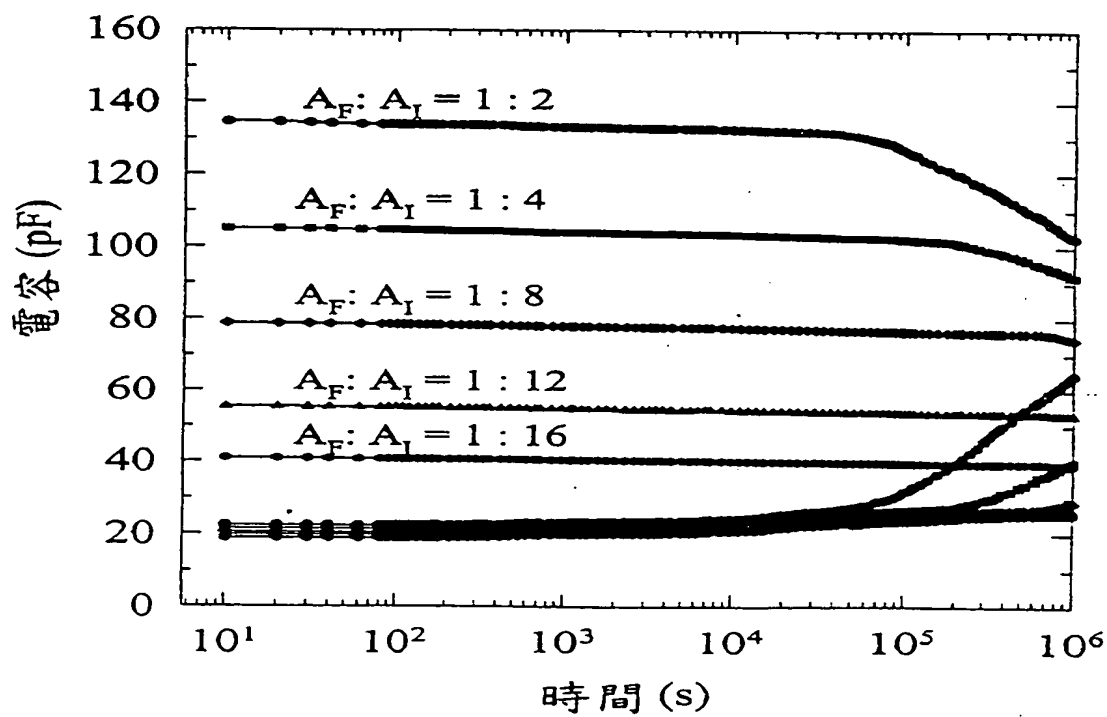
第二圖



第三圖



第四圖



第五圖